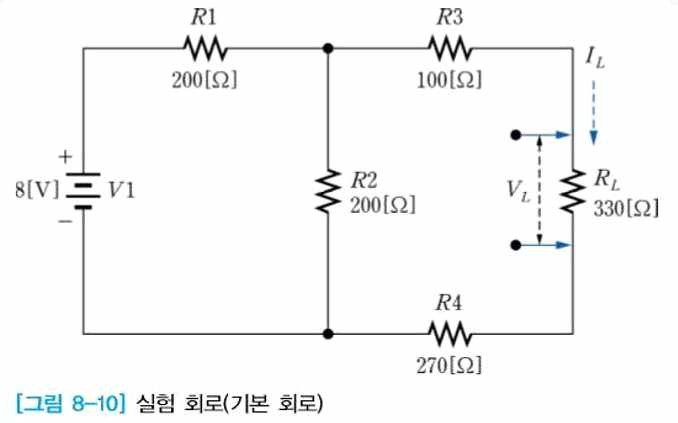
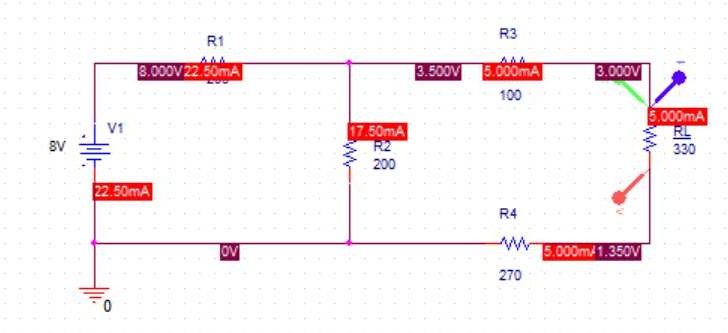
# < 8.4 실험 >

* 8.4.1 기본 회로 실험

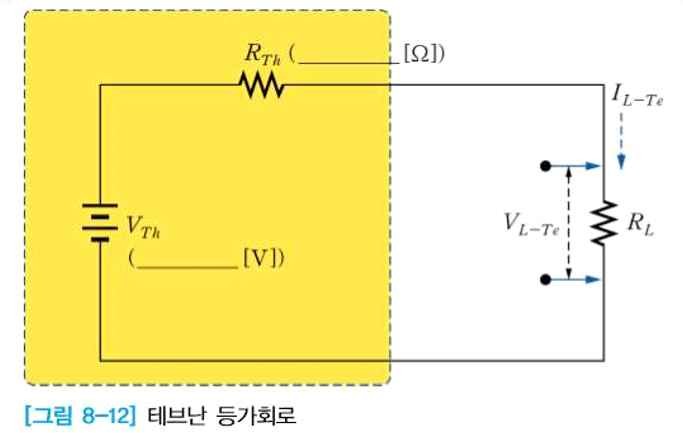
1. [그림 8-10]의 회로를 구성한 후, 전압 ** 과 전류 ** 을 이론값을 [표 8-1]에 기록하라.



* 8.4.2 테브난 등가회로 실험

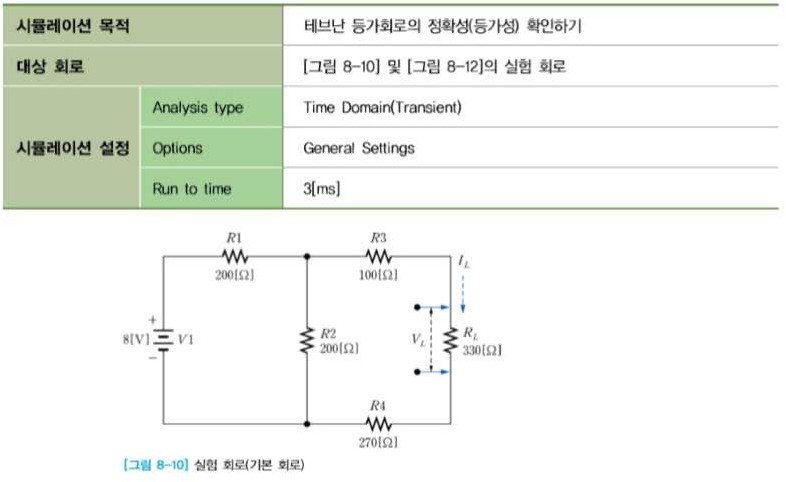
1. [그림 8-12] 테브난 등가회로의 ** , ** 이론 값을 계산하여 [표 8-1]에 기록하라.
2. 위 2번의 이론 값으로 실제 회로를 구성한 후, **  ** 와 **  ** 를 측정하여 [표 8-1]에 기록하라.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 기본 회로 실험 | | 이론값 | | 테브난 등가회로 실험 | |
| ** | ** | ** | ** | **  ** | **  ** |
| 1.650[V] | 5[mA] | 4[V] | 470[Ω] | 1.650[V] | 5[mA] |

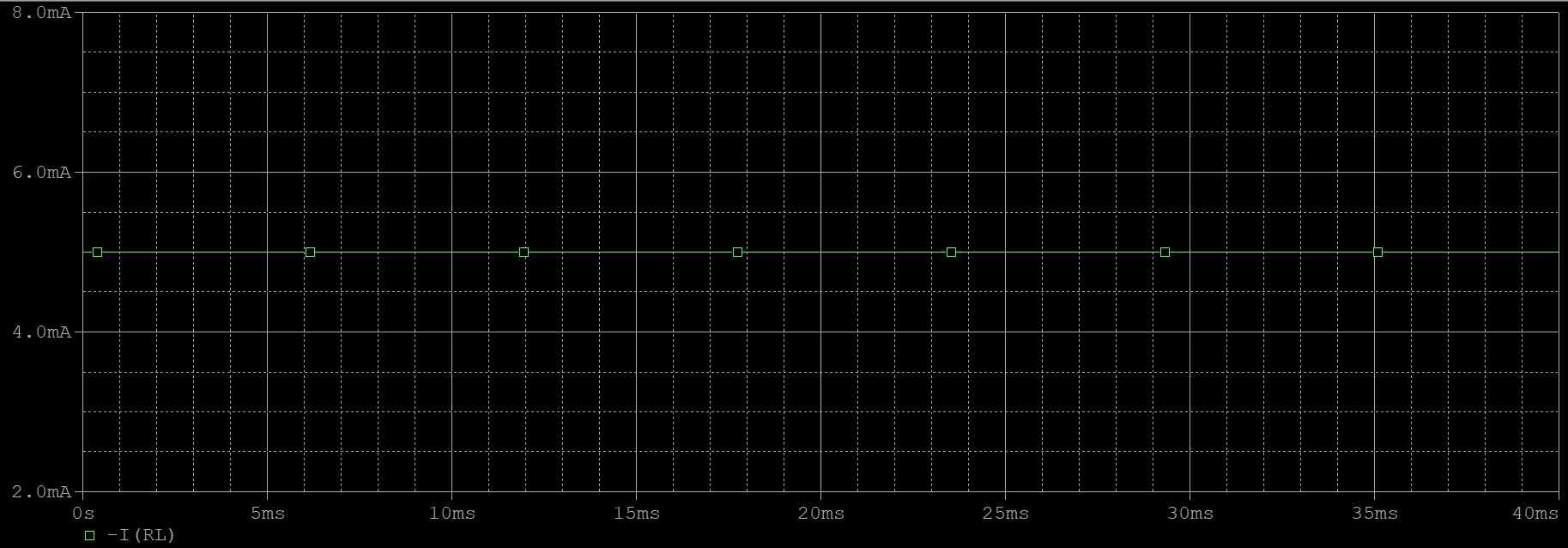
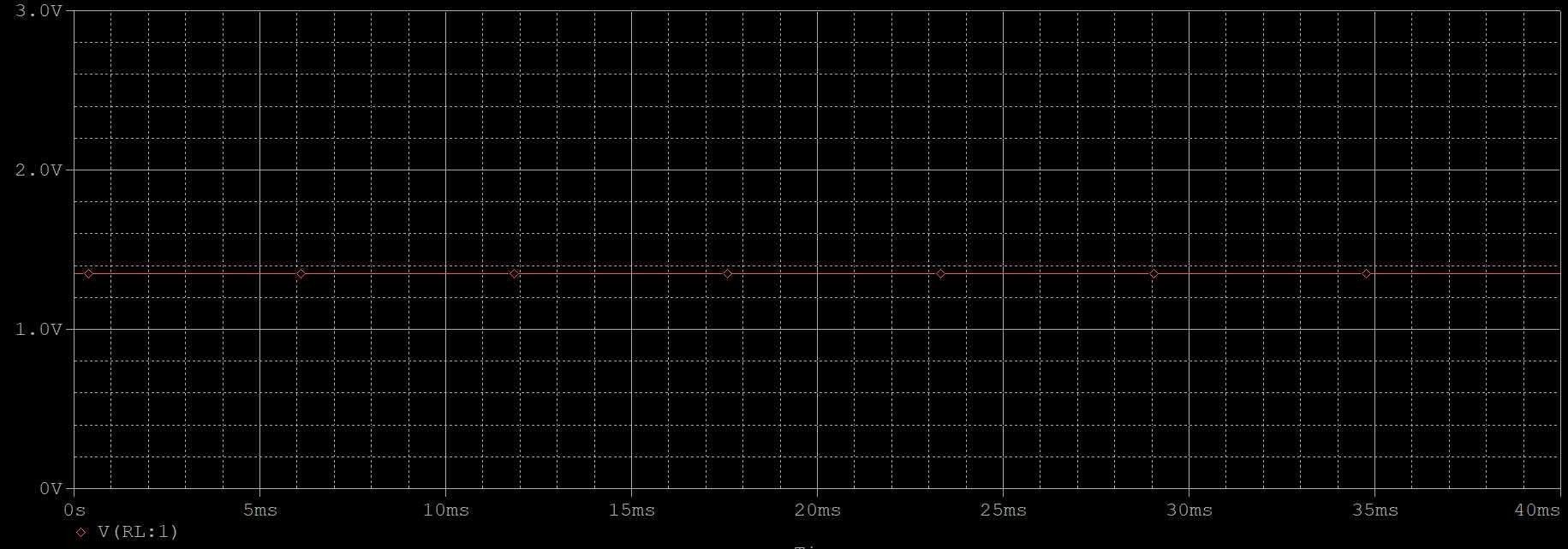
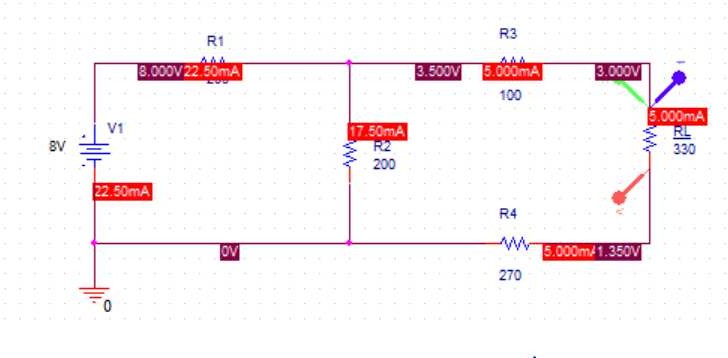


# < 8.5 시뮬레이션 >

* 8.5.1 시뮬레이션 방법

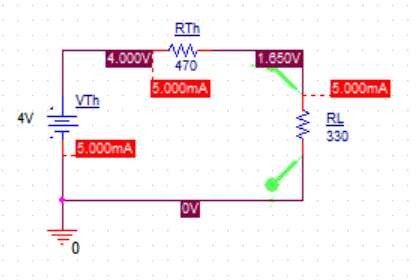


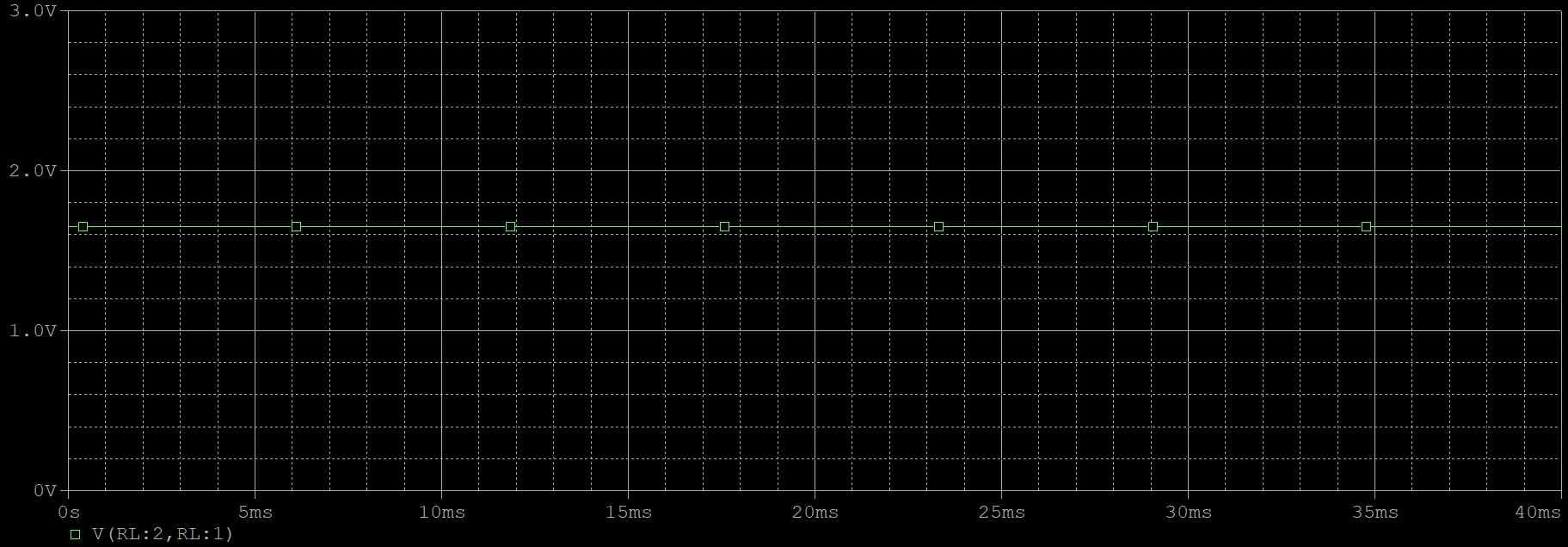
* 8.5.2 시뮬레이션 결과(기본 회로)

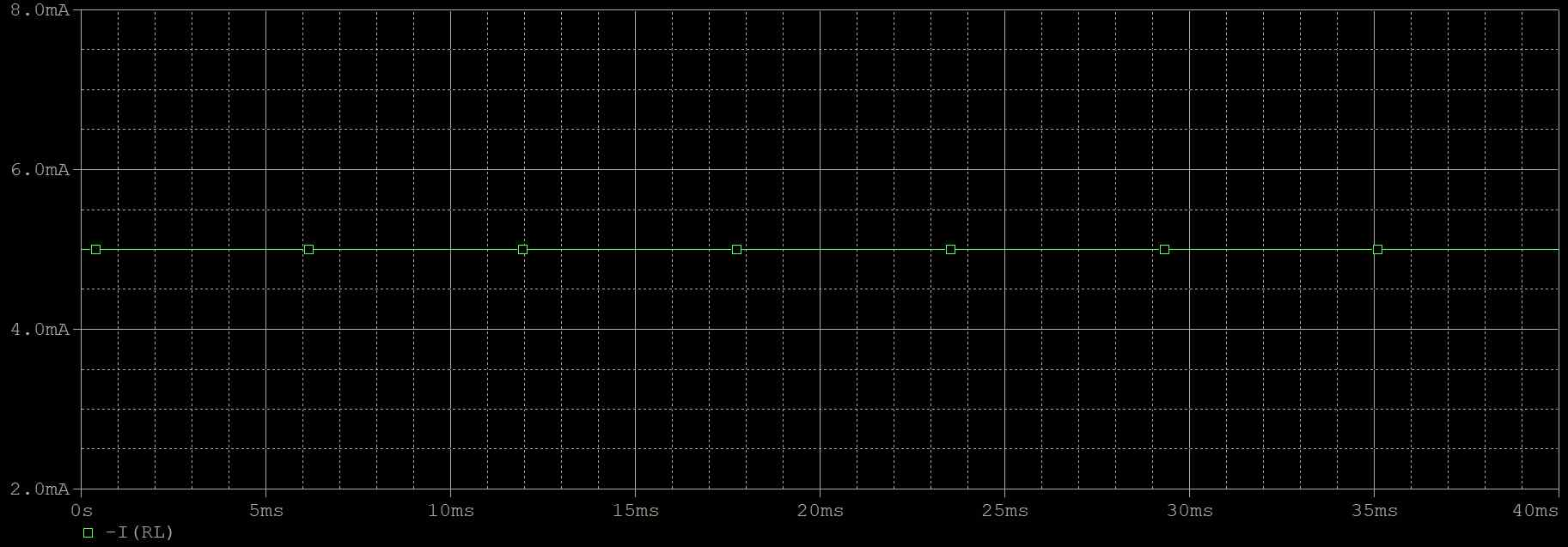
OrCAD로 작성한 시뮬레이션 회로(기본 회로)와 결과를 제출 하세요.

* 8.5.2 시뮬레이션 결과(테브난 등가회로)

OrCAD로 작성한 시뮬레이션 회로(테브난 등가회로)와 결과를 제출 하세요.

: 테브난 등가회로의 정확성(등가성) 확인!!





# <결과 검토>

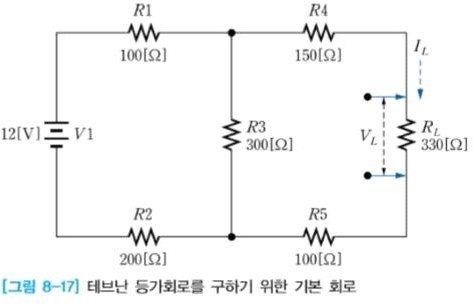
1. [표 8-1]에서 ** 과 **  ** 가 같은 값을 나타내는지 확인하라.

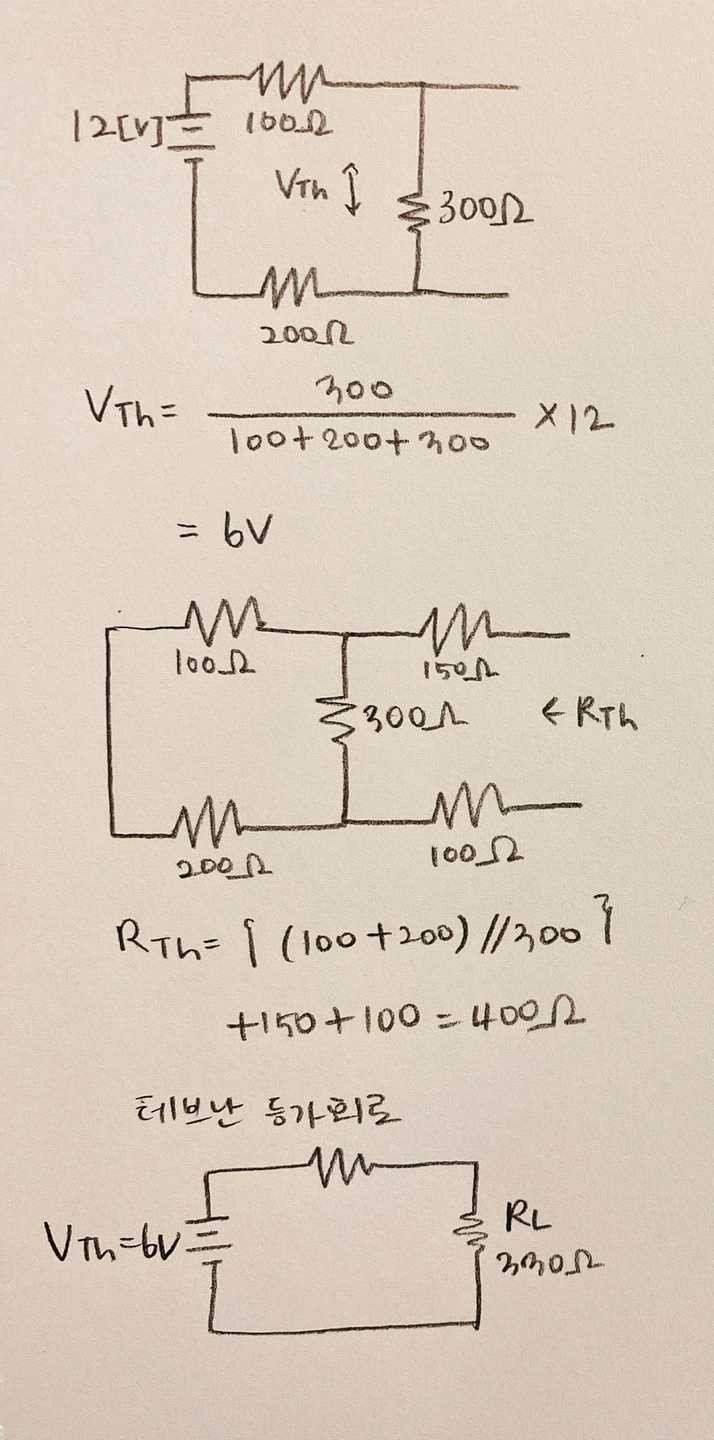
: ** 과 **  ** 가 같은 값을 나타낸다.

1. [표 8-1]에서 ** 과 **  ** 가 같은 값을 나타내는지 확인하라.

: ** 과 **  ** 가 같은 값을 나타낸다.

1. [그림 8-17]에 주어진 회로에 대하여 테브난 등가회로를 구하라.

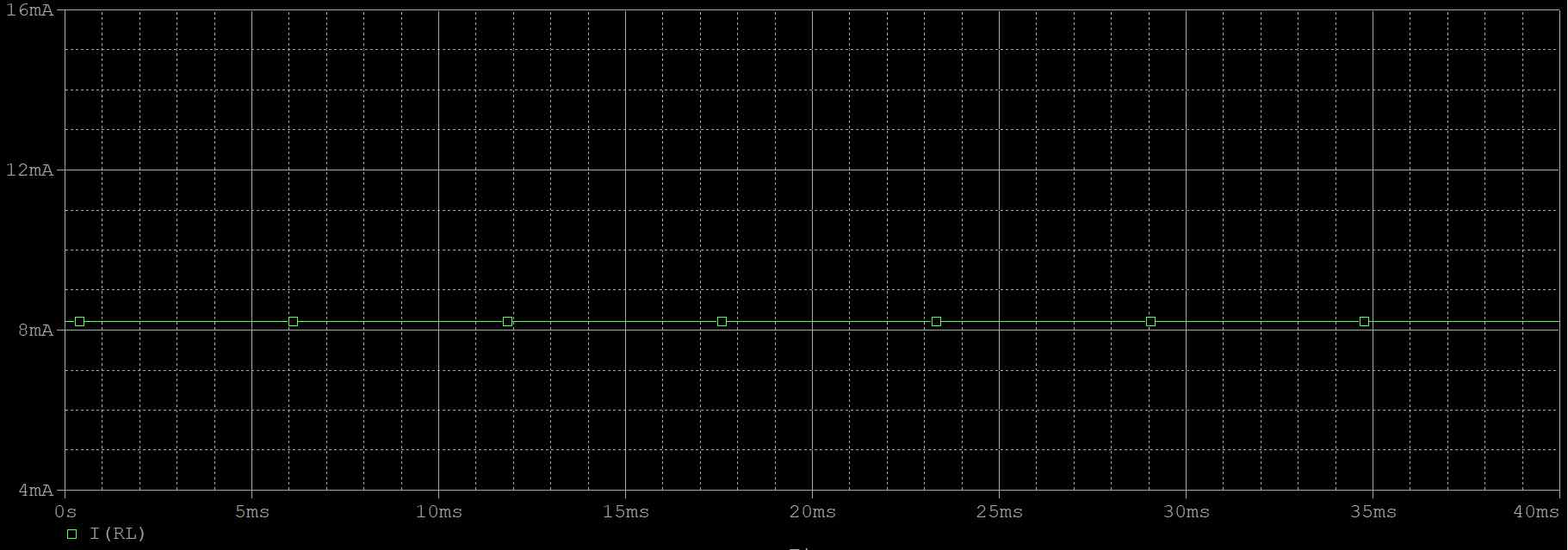
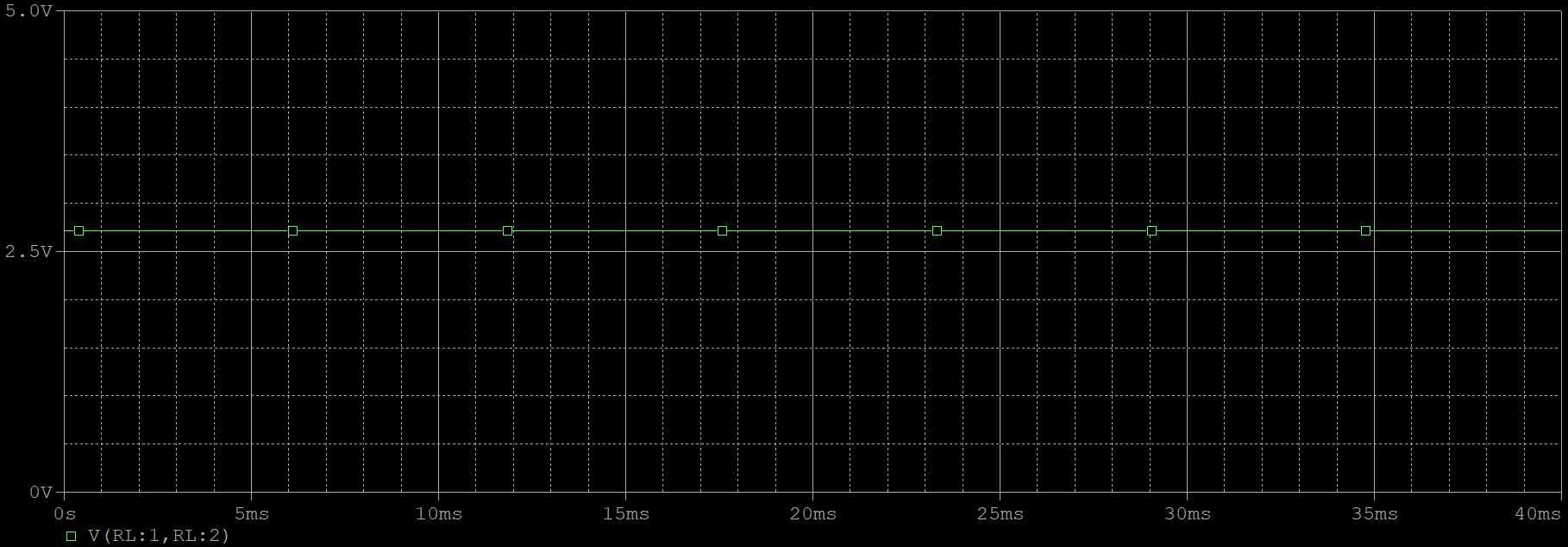
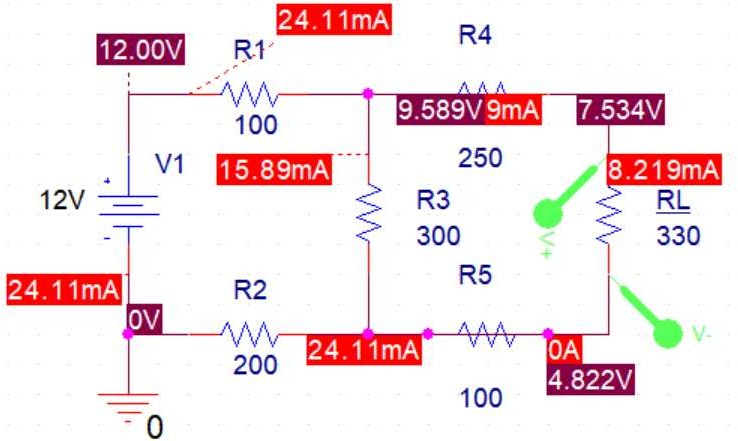




1. 결과 검토 (3)에서 구한 테브난 등가회로를 이용하여 부하저항 ** 에 걸린 전압 **  ** 와 전류 **  ** 를 구하라.

: **  ** : 2.71[V] , **  ** : 8.33[mA]

1. **PSpice 시뮬레이션**
2. [그림 8-17]의 회로를 시뮬레이션하여 부하저항 ** 에 걸린 전압 ** 과 전류 ** 을 구하라.

: 전압 ** 의 값은 2.71[V]가 나오고 전류 ** 의 값은 8.219[mA]가 나오게 된다,

1. 결과 검토 (4)에서 구한 **  ** , **  ** 와 시뮬레이션으로 구한 **  ** 의 값이 서로 같은지 확인하라.

; **  ** : 2.71[V] , **  ** : 8.33[mA] 이고 ** : 2.71[V] , ** : 8.219[mA]으로 거의 같은

값이 나오게 된다.

# <셀프 테스트>

1. 테브난 등가회로는 하나의 등가전압 및 이것과 직렬로 연결된 등가저항으로 이루어져 있 다.
2. 테브난 등가회로에서 등가저항을 구할 때는 전원을 제거해야 한다. (◯)
3. 테브난 등가회로를 구하려면, 부하저항을 제거하고 개방된 단자를 만들어야 한다.
4. 전원이 포함된 회로망을 능동회로망이라 한다.
5. 전압원은 단락으로 제거하고, 전류원은 개방으로 제거한다.
6. 테브난 등가회로를 구할 때, 전원의 내부저항은 없는 것으로 가정한다. (◯)